คำอธิบายรูปเขียน (Description of the Drawings)

สำหรับยื่นจดสิทธิบัตร — PT-NPU Architecture

จำนวนรูปทั้งหมด: 7 รูป

BRIEF DESCRIPTION OF THE DRAWINGS (คำอธิบายโดยย่อ)

FIG. 1 is a high-level block diagram of the PT-NPU (Parallel Temporal-Logic Neuromorphic Processing Unit) architecture according to an embodiment of the present invention, illustrating the three principal physical layers and the data flow pathway.

FIG. 2 is a schematic circuit diagram of the Predictive Integrate-and-Fire (PIF) neuron circuit according to an embodiment of the present invention, showing the analog front-end sub-blocks and digital control logic.

FIG. 3 is a timing diagram illustrating the pre-emptive spike generation of the PIF neuron compared to the conventional Leaky Integrate-and-Fire (LIF) neuron, showing membrane potential waveforms over time.

FIG. 4 is a cross-sectional view of the monolithic 3D integration structure according to an embodiment of the present invention, showing the CMOS base layer, the multi-stack memristive layers, and the micro-cooling/shielding layer.

FIG. 5 is a detailed perspective and cross-sectional diagram of the 3D Memristor Crossbar Array structure, showing the 1T1R cell configuration, wordlines, bitlines, and inter-layer

connections.

FIG. 6 is a block diagram of the asynchronous Address Event Representation (AER) router network and the power gating scheme according to an embodiment of the present invention.

FIG. 7 is a block diagram of the hardware security subsystem according to an embodiment of the present invention, illustrating the decoy spike generator, Physical Unclonable Function (PUF) routing, power profile randomizer, and anti-tamper mesh.

DETAILED DESCRIPTION OF THE DRAWINGS (คำอธิบายรูปเขียนโดยละเอียด)

FIG. 1: High-Level Architecture Block Diagram

ภาพรวม (Overview)

FIG. 1 แสดงสถาปัตยกรรมโดยรวมของ PT-NPU ในลักษณะบล็อกไดอะแกรม ประกอบด้วยสามชั้นหลัก (Three Principal Layers) ที่ผลิตแบบ Monolithic Integration บนซับสเตรตซิลิกอนเดียวกัน

Reference Numerals

เลข	ส่วนประกอบ	Description
100	PT-NPU Chip	ตัวชิปทั้งหมด
102	Silicon Substrate	ซับสเตรตซิลิกอน
110	Layer 1 — CMOS Base Layer	ชั้นฐาน CMOS
112	PIF Neuron Array	อาร์เรย์เซลล์ประสาท PIF ขนาด N×M
114	Single PIF Neuron	เซลล์ประสาท PIF หนึ่งเซลล์

เลข	ส่วนประกอบ	Description
116	AER Router Network	เครือข่าย Router แบบ Asynchronous
118	AER Router Node	โหนด Router หนึ่งโหนด
120	STDP Learning Circuit	วงจรเรียนรู้แบบ STDP
122	Security Circuit Block	บล็อควงจรรักษาความปลอดภัย
124	Peripheral Control Logic	ตรรกะควบคุมรอบนอก
126	I/O Interface	อินเทอร์เฟซขาเข้าออก
130	Layer 2 — Memristive Layer	ชั้นหน่วยความจำ Memristor
132	3D Crossbar Array (Stack 1..N)	อาร์เรย์ไขว้สามมิติ
134	Single Memristor Cell (1T1R)	เซลล์ Memristor หนึ่งเซลล์
136	Wordline (WL) Decoder	วงจรถอดรหัส Wordline
138	Bitline (BL) Decoder	วงจรถอดรหัส Bitline
140	Inter-Layer Dielectric (ILD)	ชั้นฉนวนระหว่างชั้น
150	Layer 3 — Micro-cooling & Shielding	ชั้นระบายความร้อนและป้องกัน
152	Microfluidic Channel	ช่องทางของเหลวระบายความร้อน
154	EM Shielding (Faraday Cage)	ชั้นป้องกันคลื่นแม่เหล็กไฟฟ้า
156	Anti-Tamper Mesh	ตาข่ายป้องกันการแกะชิป

เลข	ส่วนประกอบ	Description
160	Data Flow Arrow (Input → Synapse → Neuron → Output)	ลูกศรแสดงทิศทางข้อมูล

คำอธิบายการทำงาน (Functional Description)

ข้อมูลขาเข้า (Input Data) เข้าทาง I/O Interface (126) → ส่งต่อไปยัง Wordline Decoder (136) เพื่อจ่ายแรงดันให้ Memristor Array (132) → กระแส Output จาก Bitline (138) ไหลเข้าสู่ PIF Neuron Array (112) → PIF Neuron แต่ละเซลล์ (114) ประมวลผลและสร้าง Spike → Spike ส่งผ่าน AER Router Network (116) ไปยัง Neuron ถัดไป → ผลลัพธ์ส่งออกทาง I/O Interface (126)

วงจร STDP (120) ตรวจสอบความสัมพันธ์เวลาของ Spike เพื่อปรับค่าน้ำหนัก Memristor แบบ Real-time วงจรรักษาความปลอดภัย (122) ทำงานตลอดเวลาเพื่อป้องกันการโจมตี

FIG. 2: PIF Neuron Circuit — Schematic Diagram

ภาพรวม (Overview)

FIG. 2 แสดงแผนผังวงจร (Schematic) ของ Predictive Integrate-and-Fire (PIF) Neuron ซึ่งเป็นหัวใจสำคัญของการประดิษฐ์นี้ วงจรประกอบด้วยสองส่วนหลัก: Analog Front-End และ Digital Control Logic

Reference Numerals

เลข	ส่วนประกอบ	Description
200	PIF Neuron Circuit	วงจร PIF Neuron ทั้งหมด
Analog Front-End		
202	Current Integrator (Miller Op-Amp + C_mem)	วงจรรวมกระแส
204	C_mem (50-200 fF)	ตัวเก็บประจุเยื่อหุ้มเซลล์

เลข	ส่วนประกอบ	Description
206	Leakage Current Source (Exponential)	แหล่งจ่ายกระแสจำลองการรั่ว
208	First Derivative Calculator (Active RC Differentiator)	วงจรคำนวณ dV/dt
208a	Op-Amp (Differentiator Stage 1)	ออปแอมป์ขั้นที่ 1
208b	R_1 (1 kΩ)	ตัวต้านทาน R_1
208c	C_1 (1 pF)	ตัวเก็บประจุ C_1
210	Second Derivative Calculator (Cascaded Active RC)	วงจรคำนวณ d^2V/dt^2
210a	Op-Amp (Differentiator Stage 2)	ออปแอมป์ขั้นที่ 2
210b	R_2 (1 kΩ)	ตัวต้านทาน R_2
210c	C_2 (1 pF)	ตัวเก็บประจุ C_2
212	Sample-and-Hold Circuit	วงจรสุ่มตัวอย่างและค้างค่า
212a	CMOS Transmission Gate (Analog Switch)	สวิตซ์อะนาล็อก
212b	Hold Capacitor C_H (50 fF)	ตัวเก็บประจุค้างค่า
214	Programmable Gain Amplifiers (α, β, γ)	แอมป์ขยายแบบปรับค่าได้
214a	α Gain Stage (Range: 100-1000)	ขั้นขยาย α
214b	β Gain Stage (Range: 50-500)	ขั้นขยาย β
214c	γ Gain Stage (Range: 50-200)	ขั้นขยาย γ
216	Analog Adder (Summer Circuit)	วงจรรวมสัญญาณอะนา

เลข	ส่วนประกอบ	Description
		ล็อก
Digital Control Logic		
220	Predictive Fire Logic (PFL)	หน่วยตรรกะพยากรณ์การยิง
222	First Comparator (V_pred vs V_threshold)	วงจรเปรียบเทียบที่ 1
224	Second Comparator (V_mem vs V_threshold)	วงจรเปรียบเทียบที่ 2
226	OR Gate	ประตู OR
228	Mode Selector (Predictive/Reactive)	ตัวเลือกโหมด
230	Spike Generator (Monostable Multivibrator)	วงจรสร้าง Spike
232	Refractory Period Counter	วงจรนับเวลาพักฟื้น
240	Coefficient Register File (8-bit × 3)	รีจิสเตอร์เก็บค่าสัมประสิทธิ์
242	Control Bus (from Peripheral Logic)	บัสควบคุม
250	V_mem node	โหนดศักย์เยื่อหุ้มเซลล์
252	V_dv1 node	โหนด dV/dt
254	V_dv2 node	โหนด d^2V/dt^2
256	V_pred node	โหนดค่าพยากรณ์
258	V_spike output node	โหนดขาออก Spike
260	I_in input (from Memristor Crossbar)	ขาเข้าของกระแสจาก Memristor

คำอธิบายการทำงาน (Functional Description)

กระแส I_in (260) จาก Memristor Crossbar Array ไหลเข้าสู่ Current Integrator (202) ซึ่งสะสมประจุบน C_mem (204) ทำให้เกิด V_mem (250) พร้อมกันนั้น Leakage Source (206) ดึงประจุออกแบบ Exponential เพื่อจำลองการรั่ว

V_mem (250) ถูกส่งต่อไปยัง First Derivative Calculator (208) ซึ่งคำนวณ dV/dt (V_dv1, 252) ด้วย Active RC Differentiator (208a+208b+208c) จากนั้น V_dv1 (252) ถูกส่งต่อไปยัง Second Derivative Calculator (210) ซึ่งคำนวณ d^2V/dt^2 (V_dv2, 254)

Sample-and-Hold Circuit (212) จะสุ่มค่า V_mem, V_dv1, V_dv2 พร้อมกันทุกๆ Δt_sample (100 ps - 1 ns) และส่งต่อไปยัง PGA (214a, 214b, 214c) เพื่อคูณด้วย α, β, γ ตามลำดับ จากนั้น Analog Adder (216) รวมค่าทั้งหมดเข้าด้วยกันเป็น V_pred (256)

Predictive Fire Logic (220) ใช้ Comparator ตัวแรก (222) เปรียบเทียบ V_pred (256) กับ V_threshold หากมากกว่าหรือเท่ากับ → สั่ง Spike Generator (230) สร้าง Pre-emptive Spike ทันที หาก V_pred < V_threshold แต่ V_mem ≥ V_threshold (Comparator ตัวที่สอง, 224) → สร้าง Normal Spike (Reactive Mode Fallback)

FIG. 3: Timing Diagram — PIF vs LIF Comparison

ภาพรวม (Overview)

FIG. 3 เป็น Timing Diagram ที่เปรียบเทียบพฤติกรรมของ PIF Neuron กับ LIF Neuron แบบดั้งเดิมเมื่อรับ Input Current Pulse เดียวกัน แสดงให้เห็นถึง Pre-emptive Spike ของ PIF ที่เร็วกว่าอย่างมีนัยสำคัญ

Reference Numerals

เลข	ส่วนประกอบ	Description
300	Time axis (t)	แกนเวลา (หน่วย ns)
Trace A: Input Stimulus		
310	Input Current Pulse I_in(t)	สัญญาณอินพุตกระแส
312	Pulse Start (t=0)	จุดเริ่มต้นพัลส์

เลข	ส่วนประกอบ	Description
314	Pulse Amplitude (10 μA)	แอมพลิจูดของพัลส์
316	Pulse Duration (20 ns)	ความกว้างพัลส์
Trace B: LIF Membrane Potential		
320	V_mem_LIF(t)	ศักย์เยื่อหุ้มเซลล์ของ LIF
322	RC Charging Curve (Exponential)	เส้นโค้งประจุแบบ RC
324	Leaky Decay	การรั่วของประจุ
326	Threshold Crossing Point (t=5.2 ns, V=0.51V)	จุดที่ V_mem ถึง Threshold
328	LIF Output Spike (at 5.2 ns)	Spike ขาออกของ LIF
330	Reset to V_reset (0V)	การรีเซ็ตเป็น 0V
Trace C: PIF Membrane Potential		
340	V_mem_PIF(t)	ศักย์เยื่อหุ้มเซลล์ของ PIF
342	V_pred(t) = V_mem + α·dV/dt + β·d^2V/dt^2	เส้นค่าพยากรณ์
344	Prediction Window Δt_pred = 5.12 ns	หน้าต่างพยากรณ์
346	Pre-emptive Spike Point (t=0.08 ns, V_mem=0.08V)	จุดยิง Spike ล่วงหน้า
348	PIF Output Spike (at 0.08 ns)	Spike ขาออกของ PIF
Trace D: Derivatives		
350	dV/dt(t) (First Derivative)	อนุพันธ์อันดับหนึ่ง

เลข	ส่วนประกอบ	Description
352	$d^2V/dt^2(t)$ (Second Derivative)	อนุพันธ์อันดับสอง
Markers		
360	t_pred = 0.08 ns	เวลาที่ PIF ยิง
362	t_fire = 5.2 ns	เวลาที่ LIF ยิง
364	Δt_pred = t_fire - t_pred = 5.12 ns	ระยะเวลาที่ PIF เร็วกว่า
366	V_threshold (0.5V)	เส้นระดับ Threshold

คำอธิบาย (Description)

เมื่อ Input Pulse (310) เริ่มต้นที่ t=0: - **LIF (Trace B)**: V_mem (320) ค่อยๆ เพิ่มตามสมการ RC Charging จนถึง V_threshold (366) ที่ t=5.2 ns (326) จึงยิง Spike (328) แล้วรีเซ็ต (330) - **PIF (Trace C)**: V_mem (340) เริ่มเพิ่มขึ้นเช่นกัน แต่วงจร Derivative คำนวณ dV/dt (350) และ d^2V/dt^2 (352) พร้อมกัน V_pred (342) ซึ่งรวมอนุพันธ์จึงพุ่งสูงเร็วกว่า V_mem มาก เมื่อ V_pred แตะ V_threshold ที่ t=0.08 ns (346) PIF จะยิง Pre-emptive Spike (348) ทันที โดยที่ V_mem จริงมีค่าเพียง 0.08V

Δt_pred = 5.12 ns หมายถึง PIF เร็วกว่า LIF ถึง 65 เท่าสำหรับอินพุตนี้

FIG. 4: Cross-Sectional View — Monolithic 3D Integration

ภาพรวม (Overview)

FIG. 4 เป็นภาพตัดขวาง (Cross-Sectional View) ของการบูรณาการแบบ Monolithic 3D ทั้งสามชั้น แสดงให้เห็นโครงสร้างทางกายภาพของการผลิตชิปตามการประดิษฐ์นี้

Reference Numerals

เลข	ส่วนประกอบ	Description
Substrate		

เลข	ส่วนประกอบ	Description
400	Silicon Wafer (P-type Bulk Si)	เวเฟอร์ซิลิกอน
402	Shallow Trench Isolation (STI)	การแยกชั้นด้วย STI
Layer 1 — CMOS Base (FEOL)		
410	N-well	N-well
412	P-well	P-well
414	High-k Gate Dielectric (HfO_2, EOT < 1nm)	ไดอิเล็กทริกเกต High-k
416	Metal Gate (TiN/TaN)	เกตโลหะ
418	Spacer (SiN)	ตัวกันระยะ
420	Source/Drain Regions	บริเวณ Source/Drain
422	Silicide Contact (NiSi)	คอนแทคซิลิไซด์
424	W-Plug Contact	คอนแทค W
426	ILD (SiO_2, PECVD)	ชั้นฉนวนระหว่างโลหะ
428	Cu Damascene Metal Layers (M1-Mx)	ชั้นโลหะ Cu
430	PIF Neuron Circuit Area	บริเวณวงจร PIF Neuron
432	AER Router Circuit Area	บริเวณวงจร AER Router
434	STDP Circuit Area	บริเวณวงจร STDP
436	Security Circuit Area	บริเวณวงจรรักษาความปลอดภัย
Layer 2 — Memristive (BEOL)		
440	Crossbar Layer — Stack 1	ชั้น Crossbar ที่ 1

เลข	ส่วนประกอบ	Description
442	Bottom Electrode (BE: TiN/TaN, 10-20nm)	ขั้วล่าง
444	Switching Layer (Metal-Oxide: HfO_2/TaO_x, 5-10nm)	ชั้นสวิตชิ่ง
446	Top Electrode (TE: TiN/Pt, 10-20nm)	ขั้วบน
448	Via Connection (W/Cu)	การเชื่อมต่อ Via
450	ILD (SiO_2/Low-k, 50-100nm)	ชั้นฉนวนระหว่างชั้น
452	Crossbar Layer — Stack 2	ชั้น Crossbar ที่ 2
454	Crossbar Layer — Stack N (N = 4-16)	ชั้น Crossbar ที่ N
456	Wordline (WL) — Horizontal	เส้น Wordline แนวนอน
458	Bitline (BL) — Vertical	เส้น Bitline แนวตั้ง
460	1T1R Structure (Access Tr + Memristor)	โครงสร้าง 1T1R
460a	Access Transistor (in CMOS Layer)	ทรานซิสเตอร์เข้าถึง
460b	Memristor Cell (MIM Stack)	เซลล์ Memristor
Layer 3 — Micro-cooling & Shielding		
470	Microfluidic Channel (H_2O/Glycol)	ช่องทางของเหลว
472	Channel Inlet/Outlet	ขาเข้าออกของของเหลว
474	Cap Layer	ชั้นปิดผิว
476	EM Shielding Layer (Cu/Al, >1μm)	ชั้นป้องกัน EM

เลข	ส่วนประกอบ	Description
478	Anti-Tamper Mesh (Cu, <100nm line width)	ตาข่ายป้องกันการแกะ
480	Passivation Layer (SiN/SiO_2)	ชั้นพาสซิเวชัน

คำอธิบาย (Description)

ชิปผลิตบน Silicon Wafer (400) ด้วยกระบวนการ CMOS มาตรฐาน (Layer 1) ประกอบด้วย PIF Neuron Array, AER Router, STDP Circuit, Security Circuit ในชั้นโลหะ Cu (428)

จากนั้นทำการผลิต Layer 2 ด้วยเทคนิค BEOL โดยเริ่มจาก Bottom Electrode (442), Switching Layer (444), Top Electrode (446) เป็น 1T1R Stack (460b) ที่จุดตัดของ Wordline (456) และ Bitline (458) แต่ละชั้นมี ILD (450) คั่น ซ้อนกัน 4-16 ชั้น (440-454) โดย Via (448) เชื่อมต่อระหว่างชั้น

Layer 3 เป็น Microfluidic Channel (470) สำหรับระบายความร้อน, EM Shielding (476), และ Anti-Tamper Mesh (478) ที่ชั้นบนสุด

FIG. 5: 3D Memristor Crossbar Array — Detailed Structure

ภาพรวม (Overview)

FIG. 5 แสดงรายละเอียดของ 3D Memristor Crossbar Array จากสองมุมมอง: (A) Perspective View และ (B) Cross-Sectional View ของ 1T1R Cell

Reference Numerals

เลข	ส่วนประกอบ	Description
FIG. 5A — Perspective View		
500	Overall 3D Crossbar Array	อาร์เรย์ 3 มิติทั้งหมด
502	Wordlines (Layer 1)	Wordline ชั้นที่ 1

เลข	ส่วนประกอบ	Description
504	Wordlines (Layer 2)	Wordline ชั้นที่ 2
506	Wordlines (Layer N)	Wordline ชั้นที่ N
510	Bitlines (Vertical, shared across layers)	Bitline แนวตั้ง (ใช้ร่วมกัน)
512	Inter-layer Via Array	อาร์เรย์ Via เชื่อมระหว่างชั้น
514	WL Decoder Block	บล็อคถอดรหัส WL
516	BL Decoder/Sense Amp Block	บล็อคถอดรหัส BL
518	Global Routing (to PIF Neuron Array)	เส้นทางสัญญาณไปยัง PIF Neuron
520	Direction Arrow — Signal Flow	ลูกศรแสดงทิศทางสัญญาณ
FIG. 5B — 1T1R Cell Detail		
530	Single 1T1R Cell	เซลล์ 1T1R หนึ่งเซลล์
532	Access Transistor (NMOS, in CMOS Layer)	NMOS เข้าถึง
532a	Gate (connected to WL)	เกต (ต่อกับ WL)
532b	Drain (connected to BL)	เดรน (ต่อกับ BL)
532c	Source (connected to Memristor BE)	ซอร์ส (ต่อกับ BE)
534	Bottom Electrode (BE: TiN/TaN)	ขั้วล่าง
536	Switching Layer (Metal-Oxide: HfO_2)	ชั้นสวิตชิ่ง

เลข	ส่วนประกอบ	Description
536a	Conductive Filament (CF) — Formed State	เส้นใยนำไฟฟ้า — สถานะ LRS
536b	Oxygen Vacancy Region	บริเวณตำแหน่งว่างออกซิเจน
536c	CF Gap — Ruptured State	ช่องว่าง CF — สถานะ HRS
538	Top Electrode (TE: TiN/Pt)	ขั้วบน
540	ILD (Inter-Layer Dielectric)	ชั้นฉนวนระหว่างชั้น
542	Wordline Contact	จุดสัมผัส WL
544	Bitline Contact	จุดสัมผัส BL
FIG. 5C — IV Characteristics		
550	I-V Curve: Set/Reset Switching	กราฟ IV การสวิตชิ่ง
552	SET Process (LRS: ~10 kΩ)	กระบวนการ SET
554	RESET Process (HRS: ~1 MΩ)	กระบวนการ RESET
556	Read Voltage Region (V_read ≈ 0.1V)	บริเวณแรงดันอ่าน
558	Compliance Current (I_cc)	กระแส Compliance
FIG. 5D — Multi-Level Cell (MLC)		
560	Analog Conductance States (4-bit, 16 levels)	สถานะความนำอะนาล็อก
562	LRS State (G_max)	สถานะ LRS
564	HRS State (G_min)	สถานะ HRS
566	Intermediate States (Programmable via	สถานะกึ่งกลาง

เลข	ส่วนประกอบ	Description
	I_cc)	

คำอธิบาย (Description)

FIG. 5A: อาร์เรย์ 3 มิติประกอบด้วย Wordlines (502-506) ในแต่ละชั้น และ Bitlines (510) ที่พาดผ่านแนวตั้งทุกชั้น Via Array (512) เชื่อมต่อสัญญาณระหว่างชั้น

FIG. 5B: แต่ละ 1T1R Cell (530) ประกอบด้วย Access Transistor (532) ใน CMOS Layer (Gate ต่อ WL, Drain ต่อ BL) ต่ออนุกรมกับ Memristor Stack (534-538) เมื่อ CF (536a) เกิดขึ้น เซลล์จะอยู่ใน LRS (~10 kΩ) เมื่อ CF ขาด (536c) เซลล์จะอยู่ใน HRS (~1 MΩ)

FIG. 5C: I-V Characteristic แสดง hysteresis loop ของ SET (552) และ RESET (554) โดยอ่านค่าด้วย V_read ต่ำ (556)

FIG. 5D: การปรับระดับกระแส Compliance (558) ทำให้ได้ Conductance Value หลายระดับสำหรับ MLC Operation

---

FIG. 6: Asynchronous AER Router Network & Power Gating

ภาพรวม (Overview)

FIG. 6 แสดงสถาปัตยกรรมของเครือข่าย AER Router แบบ Asynchronous และกลไก Power Gating

Reference Numerals

เลข	ส่วนประกอบ	Description
FIG. 6A — Network Topology		
600	2D Mesh Network	เครือข่ายแบบเมช 2 มิติ
602	PIF Neuron Tile (Cluster of 16×16 Neurons)	กลุ่มเซลล์ประสาท PIF
604	AER Router Node	โหนด AER Router

เลข	ส่วนประกอบ	Description
606	Inter-Router Link (Asynchronous Bus)	ลิงก์ระหว่าง Router
608	North Port	พอร์ตเหนือ
610	East Port	พอร์ตตะวันออก
612	South Port	พอร์ตใต้
614	West Port	พอร์ตตะวันตก
616	Local Port (to PIF Neuron Tile)	พอร์ตท้องถิ่น (เชื่อมถึง PIF)
FIG. 6B — Router Node Detail		
620	AER Router Node (Internal)	โหนด Router ภายใน
622	Input Port Buffer (Elastic FIFO, 32-128 deep)	บัฟเฟอร์ขาเข้า
624	Crossbar Switch (Muller C-element based)	สวิตช์ Crossbar
626	Arbiter (Round-Robin/Priority)	ตัวจัดสรรเส้นทาง
628	Routing Table (SRAM, <1KB)	ตารางเส้นทาง
630	Output Port Buffer	บัฟเฟอร์ขาออก
632	Power Gating Switch (PMOS Header)	สวิตช์ตัดกระแส
632a	Sleep Signal (from Idle Detector)	สัญญาณ Sleep
632b	Wake Signal (from Req Input)	สัญญาณ Wake
FIG. 6C — AER Packet Format		
640	AER Packet (48-bit)	แพ็กเก็ต AER

เลข	ส่วนประกอบ	Description
642	Source Neuron ID (16 bit)	ID ต้นทาง 16 บิต
644	Timestamp (24 bit)	ประทับเวลา 24 บิต
646	Priority Flag (2 bit: 00=Decoy, 01=Normal, 10=High, 11=Critical)	ธงลำดับความสำคัญ
648	Reserved (6 bit)	สำรอง
FIG. 6D — Handshake Timing		
650	4-Phase Bundled Data Protocol	โปรโตคอลแบบ 4 เฟส
652	Req (Request) Line	เส้นขอส่ง
654	Ack (Acknowledge) Line	เส้นตอบรับ
656	Data Bus (Address + Control)	บัสข้อมูล
658	Idle State (both Req and Ack low)	สถานะว่าง
660	Wake-up Transition (<1ns)	การเปลี่ยนสถานะตื่น
FIG. 6E — Power Gating Timing		
670	Idle Detector Output	Output ตัวตรวจจับว่าง
672	Router Active Power	กำลังงานขณะ Active
674	Router Leakage (Sleep) — ~0 W	การรั่วไหลขณะหลับ
676	Wake-up Latency (<1 ns)	ระยะเวลาตื่น

เลข	ส่วนประกอบ	Description
678	Active Window (processing spikes)	หน้าต่าง Active

คำอธิบาย (Description)

FIG. 6A: เครือข่ายแบบ 2D Mesh (600) เชื่อมต่อ PIF Neuron Tiles (602) ผ่าน AER Router Nodes (604) แต่ละ Node มี 5 พอร์ต (608-616)

FIG. 6B: Router Node (620) รับ Spike Packet → Input FIFO (622) → Crossbar (624) → Arbiter (626) จัดการ Collision → Routing Table (628) กำหนดเส้นทาง → Output (630) Power Gating Switch (632) เปิด/ปิดกระแสตาม Idle/Sleep Signal (632a, 632b)

FIG. 6C: AER Packet ขนาด 48-bit ประกอบด้วย Source Neuron ID (642), Timestamp (644), Priority (646), Reserved (648)

FIG. 6D: 4-Phase Bundled Data Protocol: Req/Ack handshake

FIG. 6E: Power Gating — Idle State ใช้พลังงาน ~0 W, Active State ใช้ ~0.1 pJ/spike, Wake-up <1ns

---

FIG. 7: Hardware Security Subsystem

ภาพรวม (Overview)

FIG. 7 แสดงระบบรักษาความปลอดภัยระดับฮาร์ดแวร์ 4 องค์ประกอบ: Decoy Spike Generator, PUF-based Routing Obfuscation, Power Profile Randomizer, และ Anti-Tamper Mesh

Reference Numerals

เลข	ส่วนประกอบ	Description
FIG. 7A — Overall Security Architecture		
700	Hardware Security Subsystem	ระบบรักษาความปลอดภัย
702	Decoy Spike Generator Block	บล็อคสร้าง Spike ปลอม

เลข	ส่วนประกอบ	Description
704	PUF & Routing Obfuscation Block	บล็อค PUF และปิดบังเส้นทาง
706	Power Profile Randomizer Block	บล็อคสุ่มลายเซ็นกำลัง
708	Anti-Tamper Mesh & Erase Controller	ตาข่ายป้องกันและควบคุมลบ
FIG. 7B — Decoy Spike Generator		
710	PRNG (32-bit LFSR)	ตัวสร้างเลขสุ่มเทียม
712	Decoy Spike Shaping Circuit	วงจรสร้างรูปคลื่น Spike ปลอม
714	Genuine Spike Monitoring (for statistical matching)	วงจรตรวจสอบ Spike จริง
716	Decoy Spike Distribution Network	เครือข่ายกระจายสัญญาณปลอม
718	Decoy Spike Output (to AER Encoder with Priority=00)	Output Spike ปลอม
720	Genuine Spike (from PIF Neuron, for comparison)	Spike จริง
FIG. 7C — PUF-based Routing Obfuscation		
730	RO PUF Array (Ring Oscillator, 1024 stages)	อาร์เรย์ PUF
732	Challenge Register (64-bit)	รีจิสเตอร์ Challenge
734	Response Register (64-bit, chip-unique)	รีจิสเตอร์ Response
736	PUF-based Seed Generator	ตัวสร้าง Seed

เลข	ส่วนประกอบ	Description
738	Routing Path Scrambler	ตัวสลับเส้นทาง
740	Router Node (Obfuscated Path Active)	โหนด Router (เส้นทางถูกปิดบัง)
FIG. 7D — Power Profile Randomizer		
750	Current-Steering DAC (8-bit)	DAC แบบ Current-Steering
752	Noise Pattern Generator (PRNG at 100MHz-10GHz)	ตัวสร้างรูปแบบสัญญาณรบกวน
754	Coupling Capacitor (to PDN)	ตัวเก็บประจุ耦合
756	Power Distribution Network (PDN)	เครือข่ายจ่ายกำลัง
758	Genuine Power Trace (without noise)	ลายเซ็นกำลังจริง (ไม่มี noise)
760	Obfuscated Power Trace (with noise, SNR < 1)	ลายเซ็นกำลังที่ถูกปิดบัง
FIG. 7E — Anti-Tamper Mesh		
770	Fine-pitch Wire Mesh (Cu, line <100nm, pitch <200nm)	ตาข่ายลวด
772	Continuity Monitoring Circuit (Wheatstone Bridge)	วงจรตรวจจับความต่อเนื่อง
774	Reference Current Source	แหล่งจ่ายกระแสอ้างอิง

เลข	ส่วนประกอบ	Description
776	Comparator (Mesh continuity vs reference)	วงจรเปรียบเทียบ
778	Tamper Detection Output	Output เมื่อตรวจจับการแกะ
780	Global Erase Controller	ตัวควบคุมลบทั้งหมด
782	Erase Signal to Memristor Array (→ HRS all cells)	สัญญาณลบไปยัง Memristor Array
FIG. 7F — Tamper Response Timing		
790	Mesh Break Event	เหตุการณ์ตาข่ายขาด
792	Detection Time (<1 µs)	เวลาตรวจจับ
794	Erase Signal Active	สัญญาณลบทำงาน
796	All Memristors → HRS (<100 ns)	Memristor ทั้งหมด→ HRS

คำอธิบาย (Description)

FIG. 7A: ภาพรวมของระบบ 4 องค์ประกอบที่ทำงานร่วมกัน

FIG. 7B: Decoy Spike Generator — PRNG (710) สร้าง Spike ปลอม (718) ที่มีลักษณะทางไฟฟ้าคล้าย Spike จริง (720) โดย Statistically Matching การกระจาย (714) Spike ปลอมถูกตั้ง Priority = 00 (ต่ำสุด)

FIG. 7C: PUF-based Routing — RO PUF Array (730) สร้าง Chip-unique Response (734) → Seed Generator (736) → Scrambler (738) ทำให้เส้นทางใน Router (740) แตกต่างกันในทุกชิป

FIG. 7D: Power Profile Randomizer — DAC (750) ฉีด AC Noise (752) เข้า PDN (756) ผ่าน Capacitor Coupling (754) ทำให้ Power Trace (760) มี SNR < 1 เปรียบเทียบกับ Power Trace เดิม (758)

FIG. 7E: Anti-Tamper Mesh — Wire Mesh (770) ถูกเฝ้าต่อเนื่องด้วยวงจร Continuity Monitoring (772) หาก Mesh ขาด → Comparator (776) ตรวจพบ → Erase Controller (780) ส่งสัญญาณลบ (782) ให้ Memristor ทั้งหมดกลายเป็น HRS (ข้อมูลหาย)

FIG. 7F: Timing — ตรวจจับการแกะภายใน <1 μs และลบข้อมูลภายใน <100 ns

---

หมายเหตุสำหรับการยื่น (Filing Notes)

1. **รูปแบบรูปเขียน**: สำนักงานสิทธิบัตรต้องการรูปเขียนแบบ Black-and-White Line Drawing ความละเอียด 300 DPI
2. **ขนาดหน้ากระดาษ**: A4 (210 × 297 mm) พื้นที่วาดต้องไม่เกิน 180 × 260 mm
3. **Reference Numeral**: เลขอ้างอิงต้องเรียงตามลำดับที่ปรากฏในคำอธิบาย และไม่ซ้ำกัน
4. **FIG. 2 (Schematic)**: ควรทำเป็น Standard EDA Tool Output (Cadence Virtuoso / Synopsys Custom Compiler)
5. **FIG. 3 (Timing Diagram)**: ต้องใช้ Scale Bar ชัดเจน
6. **FIG. 4 (Cross-section)**: ต้องระบุ Layer Thickness Approximate
7. **ภาษา**: รูปเขียนต้องมีคำอธิบายเป็นภาษาอังกฤษด้วยหากยื่น USPTO หรือ PCT

จัดทำโดย: ไชยภพ นิลแพทย์ (The Architect)

วันที่: [วันที่ยื่น]